



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11307639 A**(43) Date of publication of application: **05.11.99**

(51) Int. Cl.

H01L 21/82**H01L 27/04****H01L 21/822**(21) Application number: **10106507**(22) Date of filing: **16.04.98**(71) Applicant: **FUJITSU LTD**(72) Inventor: **YAMAMOTO HIROYUKI**

(54) **POWER CIRCUIT FOR SEMICONDUCTOR INTEGRATED CIRCUIT, POWER WIRING AND RECORDING MEDIUM WITH PROGRAM FOR EXECUTING PROCESS OF POWER WIRING RECORDED THEREIN**

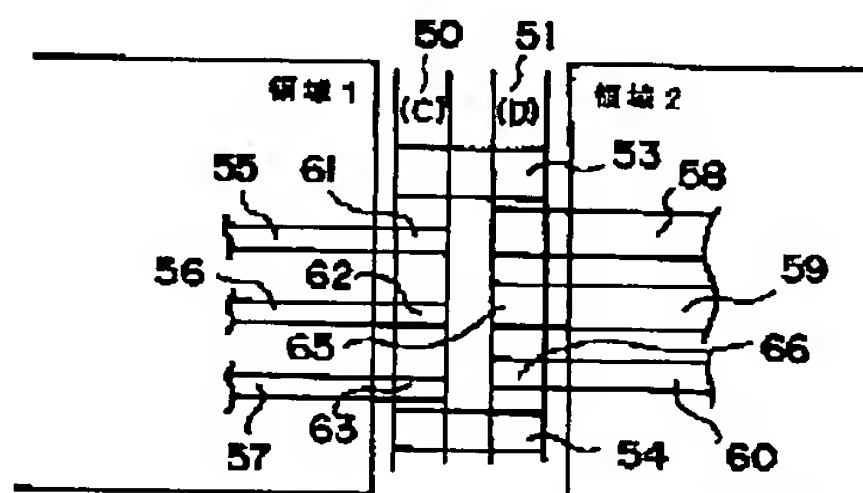
power source line C and the power source line D are connected with each other at a plurality of arbitrary places 53 and 54.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a power circuit, which is formed into a constitution wherein troubles for a power wiring are reduced, the degrees of freedom for a signal wiring or the power wiring is increased and power source lines having a plurality of different potentials or different power source pitches are wired, of a semiconductor integrated circuit.

SOLUTION: A relay power source line C on a power-supply region 1 and a relay power source line D on a power-supply region 2 are provided between the regions 1 and 2 adjacent to each other. Each power source line orthogonally intersects the relay power source lines. In short, the power source lines 55 to 57 on the region 1 are connected with the power source line C at the intersecting points 61 to 63 of the power source line C with the power source lines 55 to 57. Similarly, the power source lines 58 to 60 on the region 2 are connected with the power source line D at the intersecting points 64 to 66 of the power source lines 58 to 60 with the power source line D. Moreover, the



(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/82
27/04
21/822H 0 1 L 21/82
27/04W
D

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願平10-106507

(22) 出願日 平成10年(1998)4月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 山本 弘幸

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

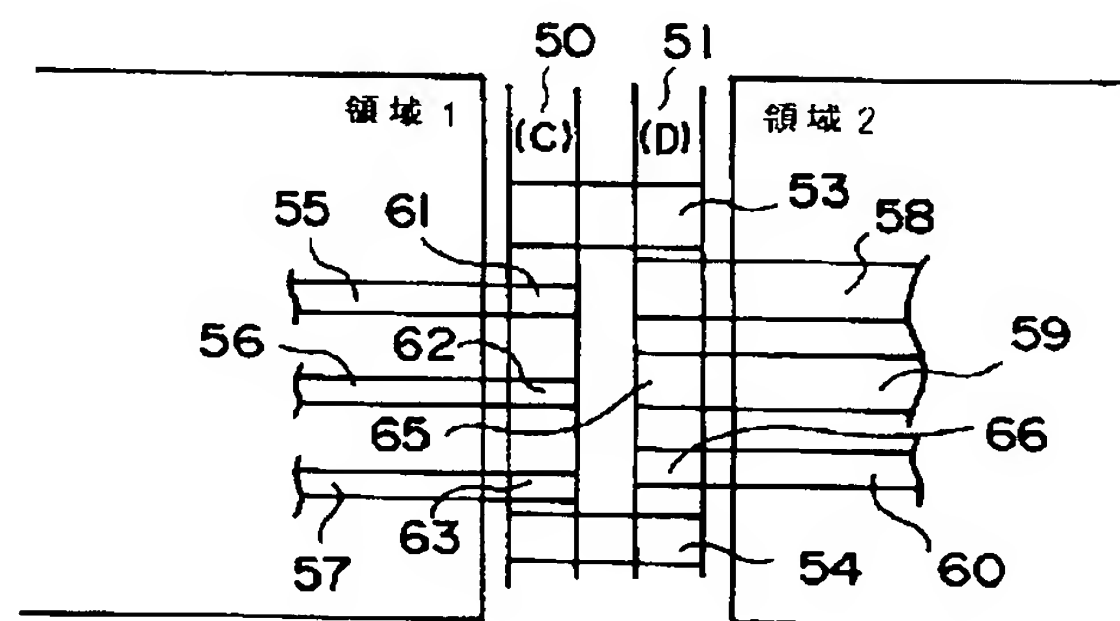
(54) 【発明の名称】 半導体集積回路の電源回路及び電源配線方法並びに電源配線手順を実行するプログラムを記録した記録媒体

(57) 【要約】

【課題】 電源配線のための手数を削減し、信号配線又は電源配線の自由度を上げ、複数の異電位又は異電源ピッチを有する電源線を配線する半導体集積回路の電源回路を提供することを目的とする。

【解決手段】 電源領域1の中継電源線Cと電源領域2の中継電源線Dを、隣接する電源領域1、2の間に設けている。各電源線は中継電源線と直交する。つまり、電源領域1の電源線55～57は、中継電源線Cと電源線55～57との交点61～63で接続される。同じく、電源領域2の電源線58～60は、電源線58～60と中継電源線Dとの交点64～66で接続される。また、中継電源線Cと中継電源線Dとは、任意の複数の箇所53、54において相互に接続される。

本発明の配線の基本を説明するための図



【特許請求の範囲】

【請求項1】 ピッチの異なる複数の電源線、電位の異なる複数の電源線又はピッチの異なる複数の電源線及び電位の異なる複数の電源線を有する半導体集積回路の電源回路において、

電位毎に中継電源線を有し、前記電源線を電位毎に該中継電源線に接続し、前記電源線は、該中継電源線を介して電源供給を受けることを特徴とする半導体集積回路の電源回路。

【請求項2】 前記ピッチの異なる電源線又は前記電位の異なる電源線と前記中継電源線とは、直交して接続することを特徴とする請求項1記載の半導体集積回路の電源回路。

【請求項3】 前記半導体集積回路は、複数の電源領域を有し、
該電源領域は、夫々、電位毎に一又は複数の中継電源線を有し、

前記電源領域内の前記電源線は、該電源線が含まれる前記電源領域の前記中継電源線と電位毎に接続することを特徴とする請求項1又は2記載の半導体集積回路の電源回路。

【請求項4】 前記中継電源線は、前記電源領域の外周又は隣接する前記電源領域の間に設けたことを特徴とする請求項3記載の半導体集積回路の電源回路。

【請求項5】 隣接する電源領域の一方の電源領域が他方の電源領域の外周に位置する場合、前記中継電源線は、一方の電源領域及び他方の電源領域の間に設けたことを特徴とする請求項3記載の半導体集積回路の電源回路。

【請求項6】 前記中継電源線の電位が一又は複数の電位において同じ場合、該同じ電位の前記中継電源線を相互に接続することを特徴とする請求項3ないし5いずれか一項記載の半導体集積回路の電源回路。

【請求項7】 前記隣接する電源領域の同じ電位の中継電源線の相互接続は、複数箇所において接続することを特徴とする請求項6記載の半導体集積回路の電源回路。

【請求項8】 ピッチの異なる複数の電源線、電位の異なる複数の電源線又はピッチの異なる複数の電源線及び電位の異なる複数の電源線を半導体集積回路に配線する電源回路配線方法において、

電位毎に中継電源線を設け、前記電源線を電位毎に該中継電源線に接続し、前記電源線には、該中継電源線を介して電源を供給することを特徴とする半導体集積回路の電源配線方法。

【請求項9】 a. セルに電源を供給する電源線を配線する半導体チップの外周に入出力セルを配置し、このセルの配置情報をレイアウトデータベースに記憶する工程と、

b. 前記半導体チップ内部に電源線の配線に影響を与えるセルを配置し、このセルの配置情報を前記レイアウト

データベースに記憶する工程と、
c. 前記半導体チップ内部に標準の電源の電位と異なる電位の電源線を配置する場合、異なる電位の電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する工程と、
d. 前記半導体チップ内部に標準の電源線のピッチと異なるピッチの電源線を配置する場合、異なるピッチの電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する工程と、
e. 前記セルの配置された領域又は電源線の配置される領域の領域間に、中継電源線を配線する工程と、
f. 前記中継電源線のうち、隣接する領域の中継電源線であって、かつ、同じ電位の中継電源線を相互に接続し、更に、前記セルの配置された領域又は電源線の配置される領域内における電源線を配線する工程とよりなることを特徴とする電源配線方法。

【請求項10】 コンピュータに、
a. セルに電源を供給する電源線を配線する半導体チップの外周に入出力セルを配置し、このセルの配置情報をレイアウトデータベースに記憶する手順と、
b. 前記半導体チップ内部に電源線の配線に影響を与えるセルを配置し、このセルの配置情報を前記レイアウトデータベースに記憶する手順と、
c. 前記半導体チップ内部に標準の電源の電位と異なる電位の電源線を配置する場合、異なる電位の電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する手順と、
d. 前記半導体チップ内部に標準の電源線のピッチと異なるピッチの電源線を配置する場合、異なるピッチの電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する手順と、
e. 前記セルの配置された領域又は電源線の配置される領域の領域間に、中継電源線を配線する手順と、
f. 前記中継電源線のうち、隣接する領域の中継電源線であって、かつ、同じ電位の中継電源線を相互に接続し、更に、前記セルの配置された領域又は電源線の配置される領域内における電源線を配線する手順を実行させることを特徴とするプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】半導体集積回路の電源回路及び電源配線方法並びに電源配線手順を実行するプログラムを記録した記録媒体に関する。

【0002】

【従来の技術】大規模集積回路（以下、「LSI」という。）の規模が大きくなるに従い、一つのLSI内部に標準（スタンダードセル、標準的なゲートアレイ等）とは異なる電位の電源又は標準とは異なるピッチの電源線（電源線は、セルに直接電源を供給する電源用配線をいい、ピッチが異なるとは、電源線の間隔又は電源線自体

の線幅が異なることを言う。)を配線する必要が生じる。

【0 0 0 3】従来は、電源線のピッチや電源線の電位の異なる領域間に電位の種類の合計分だけの垂直な同電位線分を挿入し双方の領域から、垂直な線分に接続する配線の配線層を変えたり、片方の配線を折り曲げて電源線のピッチを変えることで接続を行ってきた。図 1 は、配線層を変えることにより、異なる電位を接続する従来例の方法である。電源領域 1 には、電源線 1 ～ 4 が配線され、電源領域 2 には、電源線 5 ～ 8 が配線されている。電源領域 1 の電源線 1、3 と電源領域 2 の電源線 6、8 が同電位の電源であり、また、電源領域 1 の電源線 2、4 と電源領域 2 の電源線 5、7 が同電位の電源である場合を示す。

【0 0 0 4】本方法では、電源線 1 ～ 8 は 2 層配線であり、電源領域 1 と電源領域 2 の間に設けた電源 C 1 は 1 層配線、同じく電源 C 2 は 2 層配線である。電源領域 1 の電源線 1、3 及び電源領域 2 の電源線 6、8 と電源 C 1 は同電位であり、電源領域 1 の電源線 2、4 及び電源領域 2 の電源線 5、7 と電源 C 2 は同電位である。電源領域 1 の電源線 2、4 及び電源領域 2 の電源線 5、7 は 2 層にあり、また、これらと同電位の電源 C 2 も 2 層にあるので、そのまま、接点部 1 5 ～ 1 8 において接続される。また、電源領域 1 の電源線 1、3 及び電源領域 2 の電源線 6、8 は、2 層にあり、これと同電位の電源 C 1 は 1 層にあるので、電源線 1、3、6、8 は、層変換部 1 1 ～ 1 4 で、2 層から 1 層に変換され、1 層の電源 C 1 と接点部 2 0 ～ 2 3 で接続される。

【0 0 0 5】図 2 は、電源線を折り曲げることにより接続する方法である。この場合は、電源線 1 ～ 8 は、2 層配線であり、電源 C 1、C 2 は、1 層配線である。電源線 1 ～ 8 と電源 C 1、C 2 とは、層を異にするが、スルーホール等で接点部 3 0 ～ 3 7 で接続される。電源線 2、4 は、方向変換部 4 1 ～ 4 4 で折り曲げられて、電源線 6、8 との重ならないようにされて、電源 C 2 と接続される。

【0 0 0 6】

【発明が解決しようとする課題】図 1 の方式では、予め電源線 1 ～ 8 の配線層が確定していなければならず、また、電源領域間に電源 C 1、C 2 の 2 層の配線層を使用するため、電源領域間の信号配線の接続の自由度が減少し、信号の配線が困難となることもある。図 2 の方式は、電源線 1 ～ 8 の間隔が、電源線の太さに対して、十分に広いことが必要で、電源線 1 ～ 8 の間隔が狭いと、電源線をいくら曲げても、電源線との重なりを避けることができないという問題がある。

【0 0 0 7】また、これらの方式は、電源配線層や電源線のピッチに依存していることから、半導体集積回路の電源の配線における、電源配線層又は電源線のピッチの自由度を低下させることにもつながる。そこで、本発明

は、上記問題に鑑みなされたものであり、電源配線のための手数を削減し、信号配線又は電源配線の自由度を損なうことなく、複数の異電位又は異電源ピッチを有する電源線を配線する半導体集積回路の電源回路を提供することを目的とするものである。

【0 0 0 8】

【課題を解決するための手段】請求項 1 に記載された発明は、ピッチの異なる複数の電源線、電位の異なる複数の電源線又はピッチの異なる複数の電源線及び電位の異なる複数の電源線を有する半導体集積回路の電源回路において、電位毎に中継電源線 C、D を有し、前記電源線を電位毎に該中継電源線に接続し、前記電源線 5 5 ～ 6 0 は該中継電源線を介して電源供給を受けることを特徴とする半導体集積回路の電源回路である。

【0 0 0 9】請求項 1 記載の発明によれば、電源供給の中継を行う中継電源線 C、D を設け、半導体上のセルに電源を供給する電源線には中継電源線を介して電源を供給することにより、効率の良い配線を行い、I/Oセルとの接続回線数を減少させ、その結果、信号配線又は電源配線の自由度を上げた複数の異電位、異電源ピッチ又は異電位及び異電源ピッチを有する電源線を配線する半導体集積回路の電源回路を提供することができる。

【0 0 1 0】請求項 2 に記載された発明は、請求項 1 記載の半導体集積回路の電源回路において、前記ピッチの異なる電源線又は前記電位の異なる電源線と前記中継電源線とは、直交して接続することを特徴とする。請求項 2 記載の発明によれば、電源線と中継電源線とが、直交して接続することにより、各電源線及び各中継電源線を、夫々平行に配線し、電源線と中継電源線を効率よく整然と配線するすることができる。

【0 0 1 1】請求項 3 に記載された発明は、請求項 1 又は 2 記載の半導体集積回路の電源回路において、前記半導体集積回路は、複数の電源領域を有し、該電源領域は、夫々、電位毎に一又は複数の中継電源線を有し、前記電源領域内の前記電源線は、該電源線が含まれる前記電源領域の前記中継電源線と電位毎に接続することを特徴とする。

【0 0 1 2】請求項 3 記載の発明によれば、半導体集積回路に複数の電源領域を設け、更に電源領域に対して、電位毎に一又は複数の中継電源線を設けることにより、領域を単位として配線を行い、設置するセルに応じて、柔軟に電源配線を行うことができる。請求項 4 に記載された発明は、請求項 3 記載の半導体集積回路の電源回路において、前記中継電源線は、前記電源領域の外周又は隣接する前記電源領域の間に設けたことを特徴とする。

【0 0 1 3】請求項 4 記載の発明によれば、中継電源線を電源領域の外周又は隣接する前記電源領域の間に設けたことにより、中継電源線の配線による、信号配線又は電源配線の自由度を上げることができる。請求項 5 に記載された発明は、請求項 3 記載の半導体集積回路の電源

回路において、隣接する電源領域の一方の電源領域が他方の電源領域の外周に位置する場合、前記中継電源線は、一方の電源領域及び他方の電源領域の間に設けたことを特徴とする。

【0014】請求項5記載の発明によれば、隣接する電源領域の一方の電源領域が他方の電源領域の外周に位置する場合であっても、請求項4に係る発明と同様に、信号配線又は電源配線の自由度を上げ、複数の異電位又は異電源ピッチを有する電源線を配線する半導体集積回路の電源回路を提供することができる。請求項6に記載された発明は、請求項3ないし5いずれか一項記載の半導体集積回路の電源回路において、前記中継電源線の電位が一又は複数の電位において同じ場合、該同じ電位の前記中継電源線を相互に接続することを特徴とする。

【0015】請求項6記載の発明によれば、同じ電位の中継電源線を相互に接続することにより、I/Oセルとの接続回線を少なくでき、信号配線又は電源配線の自由度を損なうことを最小にすることができる。請求項7に記載された発明は、請求項6記載の半導体集積回路の電源回路において、前記隣接する電源領域の中継電源線の接続は、複数箇所において接続することを特徴とする。

【0016】請求項7記載の発明によれば、隣接する電源領域の中継電源線を複数箇所において接続することにより、電源供給の経路を複数とし、その結果、個々の電源線に流れる電流を少なくし、電源線の幅を狭くすることができる。請求項8に記載された発明は、ピッチの異なる複数の電源線、電位の異なる複数の電源線又はピッチの異なる複数の電源線及び電位の異なる複数の電源線を半導体集積回路に配線する電源回路配線方法において、電位毎に中継電源線を設け、前記電源線を電位毎に該中継電源線に接続し、前記電源線には、該中継電源線を介して電源を供給することを特徴とする半導体集積回路の電源配線方法である。

【0017】請求項8記載の発明によれば、半導体集積回路に配線する電源回路配線方法において、電位毎に中継電源線を設け、前記電源線を電位毎に該中継電源線に接続し、前記電源線には、該中継電源線を介して電源を供給することにより、効率の良い配線を行い、I/Oセルとの接続回線数を減少させ、その結果、半導体集積回路の配線において、信号配線又は電源配線の自由度を上げることができる。

【0018】請求項9に記載された発明は、

- a. 電源線を配線する半導体チップの外周に入出力セルを配置し、このセルの配置情報をレイアウトデータベースに記憶する工程と、
- b. 前記半導体チップ内部に電源線の配線に影響を与えるセルを配置し、このセルの配置情報を前記レイアウトデータベースに記憶する工程と、
- c. 前記半導体チップ内部に標準の電源の電位と異なる電位の電源線を配置する場合、異なる電位の電源線を配

置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する工程と、

d. 前記半導体チップ内部に標準の電源線のピッチと異なるピッチの電源線を配置する場合、異なるピッチの電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する工程と、

e. 前記セルの配置された領域又は電源線の配置される領域の領域間に、中継電源線を配線する工程と、

f. 前記中継電源線のうち、隣接する領域の中継電源線であって、かつ、同じ電位の中継電源線を相互に接続し、更に、前記セルの配置された領域又は電源線の配置される領域内における電源線を配線する工程とよりなることを特徴とする電源配線方法である。

【0019】請求項9記載の発明によれば、半導体チップ内部に標準の電源の電位と異なる電位の電源線を配置する場合、異なる電位の電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する工程と、半導体チップ内部に標準の電源線のピッチと異なるピッチの電源線を配置する場合、異なるピッチの電源線を配置する領域を設定し、この設定された領域の情報をレイアウトデータベースに記憶する工程を設けることにより、特に、半導体集積回路の電源回路における電源の配線方法において、上記c、d工程における電源配線のための手数を削減し、信号配線又は電源配線の自由度を上げ、複数の異電位又は異電源ピッチを有する電源線を配線することができる。

【0020】請求項10に記載された発明は、コンピュータに、

a. セルに電源を供給する電源線を配線する半導体チップの外周に入出力セルを配置し、このセルの配置情報をレイアウトデータベースに記憶する手順と、

b. 前記半導体チップ内部に電源線の配線に影響を与えるセルを配置し、このセルの配置情報を前記レイアウトデータベースに記憶する手順と、

c. 前記半導体チップ内部に標準の電源の電位と異なる電位の電源線を配置する場合、異なる電位の電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する手順と、

d. 前記半導体チップ内部に標準の電源線のピッチと異なるピッチの電源線を配置する場合、異なるピッチの電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する手順と、

e. 前記セルの配置された領域又は電源線の配置される領域の領域間に、中継電源線を配線する手順と、

f. 前記中継電源線のうち、隣接する領域の中継電源線であって、かつ、同じ電位の中継電源線を接続し、更に、前記セルの配置された領域又は電源線の配置される領域内における電源線を配線する手順を実行させることを特徴とするプログラムを記録した記録媒体である。

【0021】請求項10記載の発明によれば、前記半導

体チップ内部に標準の電源の電位と異なる電位の電源線を配置する場合、異なる電位の電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベースに記憶する手順と、前記半導体チップ内部に標準の電源線のピッチと異なるピッチの電源線を配置する場合、異なるピッチの電源線を配置する領域を設定し、この設定された領域の情報をレイアウトデータベースに記憶する手順を設けることにより、特に、半導体集積回路の電源回路における電源の配線において、上記 c、d 手順に係る電源配線のための手数を削減し、信号配線又は電源配線の自由度を上げ、複数の異電位又は異電源ピッチを有する電源線を配線することができる電源配線方法の手順が記録されたプログラムを記録した記憶媒体を提供することができる。

【0022】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図3は、本発明の配線の基本を説明するための図である。電源領域1の電源線と電源領域2の電源線の電位が同じ場合である。電源領域1には、電源線55～57が配線され、電源領域2には、電源線58～60が配線されている。

【0023】本発明においては、各電源領域毎に、隣接する領域の間に、中継電源線を設ける。つまり、電源領域1の中継電源線Cと電源領域2の中継電源線Dを、隣接する電源領域1、2の間に設けている。更に、各電源線は中継電源線と直交する。つまり、電源領域1の電源線55～57は、中継電源線Cと電源線55～57との交点61～63で接続される。同じく、電源領域2の電源線58～60は、電源線58～60と中継電源線Dとの交点64～66で接続される。また、中継電源線Cと中継電源線Dとは、任意の複数の箇所において相互に接続される。図3では、接続回線53、54により、2箇所接続されている。

【0024】図4は、本発明の第1の実施の形態を説明するための図で、二つの電源領域が、夫々、同じ二つの電位の電源線を有する場合である。なお、以降の説明において、電源線及び中継電源線は、横線の場合は、2層に配線され、縦線の場合は、1層に配線される。電源線及び中継電源線の1層と2層は、必要に応じ、コンタクトホール等で接続される。

【0025】電源領域1は、電源線70、71、74、75を有し、更に、電源領域1の中継電源線C1及び中継電源線C2を設ける。また、電源領域2は、電源線72、73、76、77を有し、更に、電源領域2の中継電源線D1及び中継電源線D2を設ける。ここで、電源線70～73、中継電源線C1及び中継電源線D1の電位が同じであり、電源線74～77、中継電源線C2及び中継電源線D2の電位が同じであるとする。

【0026】電源領域1の電源線70、71は、中継電源線C1と接続し、電源領域1の電源線74、75は、

中継電源線C2と接続する。また、電源領域2の電源線72、73は、中継電源線D1と接続し、電源領域2の電源線76、77は、中継電源線D2に接続する。中継電源線C1と中継電源線D1は、接続回線E1で接続され、中継電源線C2と中継電源線D2は、接続回線E2で接続される。中継電源線同士を密接に結合する（多くの点で接続する）ことにより、中継電源線を細くすることができる。つまり、中継電源線同士を多点で接続すると、電源経路が多くとれて、特定の中継電源線を経由する割合が減少するから、その電源線を細くすることが可能となる。

【0027】このように接続した結果、電源線70～73は、中継電源線C1及び中継電源線D1を介して外部電源に接続され、また、電源線74～77は、中継電源線C2及び中継電源線D2を介して外部電源に接続される。図5は、本発明の第2の実施の形態を説明するための図で、隣接する電源領域の一方の電源領域が他方の電源領域の外周に位置する場合である。中継電源線は、一方の電源領域及び他方の電源領域の間に設ける。

【0028】電源領域1が電源領域2の外周に位置し、電源領域1の電源線Aと電源領域2の電源線Bとが同電位の場合を説明する。電源領域1の中継電源線C及び電源領域2の中継電源線Dを、電源領域1及び電源領域2の間にループ状に設ける。電源領域1の電源線Aは、電源領域1の中継電源線Cと交点80～83で接続される。また、電源領域2の電源線Bは、電源領域2の中継電源線Dと交点84～87で接続される。二つの中継電源線C、Dは、任意の点で接続回線Eにより接続される。

【0029】図6は、本発明の第3の実施の形態を説明するための図で、二つの電源領域が、夫々、二つの電位の電源線を有し、そのうちの一つの電位が、隣接する領域の電源線と同じ場合である。電源領域1の同じ電位の電源線90及び電源線91と電源領域2の同じ電位の電源線92及び電源線93とが同電位で、電源領域1の同じ電位の電源線94及び電源線95と電源領域2の同じ電位の電源線96及び電源線97とが異なる電位を有する場合である。

【0030】電源領域1の電源線90、91を電源領域1の中継電源線C2に接続し、電源領域2の電源線92、93を電源領域2の中継電源線D2に接続する。そして、中継電源線C2、D2の電位は同じであるから、中継電源線C2と中継電源線D2を接続回線E2で接続する。更に、電源領域1の電源線94、95は、電源領域1の中継電源線C1に交点100、101で接続される。また、電源領域2の電源線96、97は、電源領域2の中継電源線D1に交点102、103で接続される。中継電源線C1と中継電源線D1とは、電位が異なるので、分離したままである。

【0031】図7は、コンピュータを用いて、LSIの

電源配線のレイアウト設計を行うフローである。次の段階よりなる。

a. 図 8 に示すように、セルに電源を供給するための電源線を配線する半導体チップの外周に I/O セル（入出力セル）を配置し、このセルの配置情報をレイアウトデータベース 1 1 0 の配置情報領域 1 1 1 に記憶する段階。

【0 0 3 2】 b. 図 9 に示すように、前記半導体チップ内部に、例えば、ROM、RAM、PLL（Phase Locked Loop）等のような電源線の配線に影響を与えるセルを配置し、このセルの配置情報を前記レイアウトデータベース 1 1 0 の配置情報 1 1 1 に記憶する段階。

c. 図 1 0 に示すように、前記半導体チップ内部に標準の電源の電位（スタンダードセル、標準的なゲートアレイ等における電位）と異なる電位の電源線を配置する場合、異なる電位の電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベース 1 1 0 の領域情報 1 1 2 に記憶する段階。

【0 0 3 3】 d. 図 1 1 に示すように、前記半導体チップ内部に標準の電源線のピッチと異なるピッチの電源線を配置する場合、異なるピッチの電源線を配置する領域を設定し、この設定された領域の情報を前記レイアウトデータベース 1 1 0 の領域情報 1 1 2 に記憶する段階。

e. 図 1 2 に示すように、前記 b の段階で設定されたセルの配置された領域又は前記 c、d の段階で設定された電源線の配置される領域の領域間に、各領域毎に、かつ電位毎に中継電源線を配線し、この情報を電源配線情報記憶手段 1 1 3 に記憶する段階。

【0 0 3 4】 f. 図 1 3 に示すように、前記中継電源線のうち、隣接する領域の中継電源線であって、かつ、同じ電位の中継電源線を接続し、更に、前記 b の段階で設定されたセルの配置された領域又は前記 c、d の段階で設定された電源線の配置される領域内に電源線を配線する段階。この、配線レイアウト後に、電源線に合わせてセルを配置する処理が行われ、その後、このレイアウトデータベース 1 1 0 内の配置情報 1 1 1 と領域情報 1 1 2 と電源配線情報 1 1 3 とに基づいて自動配置、自動配線処理を行うことが可能となる。

【0 0 3 5】 なお、前記 b の段階で設定されたセルの配置された領域又は前記 c、d の段階で設定された電源線の配置される領域の領域間の中継電源線は、図 1 2 のように各領域の周囲を中継電源線で囲むことにより、結果として、中継電源線が領域間に設けるようにしてもよい。

【0 0 3 6】

【発明の効果】 上述の如く本発明によれば、次に述べる種々の効果を実現することができる。請求項 1 記載の発明によれば、電源供給の中継を行う中継電源線 C、D を設け、半導体上のセルに電源を供給する電源線には中継電源線を介して電源を供給することにより、効率の良い

配線を行い、I/O セルとの接続回線数を減少させ、その結果、信号配線又は電源配線の自由度を上げた複数の異電位、異電源ピッチ又は異電位及び異電源ピッチを有する電源線を配線する半導体集積回路の電源回路を提供することができる。

【0 0 3 7】 請求項 2 記載の発明によれば、電源線と中継電源線とが、直交して接続することにより、各電源線及び各中継電源線を、夫々平行に配線し、電源線と中継電源線を効率よく整然と配線することができる。請求項 3 記載の発明によれば、半導体集積回路に複数の電源領域を設け、更に電源領域に対して、電位毎に一又は複数の中継電源線を設けることにより、領域を単位として配線を行い、設置するセルに応じて、柔軟に電源配線を行うことができる。

【0 0 3 8】 請求項 4 記載の発明によれば、中継電源線を電源領域の外周又は隣接する前記電源領域の間に設けたことにより、中継電源線の配線による、信号配線又は電源配線の自由度を上げることができる。請求項 5 記載の発明によれば、隣接する電源領域の一方の電源領域が他方の電源領域の外周に位置する場合であっても、請求項 4 に係る発明と同様に、信号配線又は電源配線の自由度を上げ、複数の異電位、異電源ピッチ又は異電位及び異電源ピッチを有する電源線を配線する半導体集積回路の電源回路を提供することができる。

【0 0 3 9】 請求項 6 記載の発明によれば、同じ電位の中継電源線を相互に接続することにより、I/O セルとの接続回線を少なくでき、信号配線又は電源配線の自由度を損なうことを最小にすることができる。請求項 7 記載の発明によれば、隣接する電源領域の中継電源線を複数箇所において接続することにより、電源供給の経路を複数とし、その結果、個々の電源線に流れる電流を少なくし、電源線の幅を狭くすることができる。

【0 0 4 0】 請求項 8 記載の発明によれば、半導体集積回路に配線する電源回路配線方法において、電位毎に中継電源線を設け、前記電源線を電位毎に該中継電源線に接続し、前記電源線には、該中継電源線を介して電源を供給することにより、効率の良い配線を行い、I/O セルとの接続回線数を減少させ、その結果、半導体集積回路の配線において、信号配線又は電源配線の自由度を上げることができる。

【0 0 4 1】 請求項 9 記載の発明によれば、半導体チップ内部に標準の電源の電位と異なる電位の電源線を配置する場合、異なる電位の電源線を配置する領域を設定し、この設定された領域の情報をレイアウトデータベースに記憶する工程と、半導体チップ内部に標準の電源線のピッチと異なるピッチの電源線を配置する場合、異なるピッチの電源線を配置する領域を設定し、この設定された領域の情報をレイアウトデータベースに記憶する工程を設けることにより、特に、半導体集積回路の電源回路における電源の配線方法において、電源配線のための

手数を削減し、信号配線又は電源配線の自由度を上げた複数の異電位、異電源ピッチ又は異電位及び異電源ピッチを有する電源線を配線することができる。

【0042】請求項10記載の発明によれば、前記半導体チップ内部に標準の電源の電位と異なる電位の電源線を配置する場合、異なる電位の電源線を配置する領域を設定し、この設定された領域の情報をレイアウトデータベースに記憶する手順と、前記半導体チップ内部に標準の電源線のピッチと異なるピッチの電源線を配置する場合、異なるピッチの電源線を配置する領域を設定し、この設定された領域の情報をレイアウトデータベースに記憶する手順を設けることにより、半導体集積回路の電源回路における電源の配線において、電源配線のための手数を削減し、信号配線又は電源配線の自由度を上げた複数の異電位、異電源ピッチ又は異電位及び異電源ピッチを有する電源線を配線することができる電源配線方法の手順が記録されたプログラムを記録した記憶媒体を提供することができる。

【図面の簡単な説明】

【図1】従来の配線層を変えることによる接続方法

【図2】従来の電源線を折り曲げることにより接続する方法である。

【図3】本発明の配線の基本を説明するための図である。

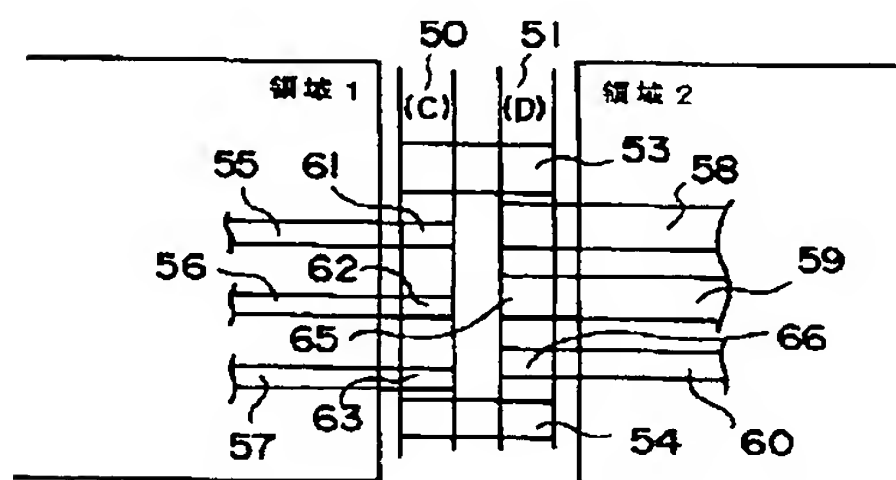
【図4】本発明の第1の実施の形態を説明するための図である。

【図5】本発明の第2の実施の形態を説明するための図である。

【図6】本発明の第3の実施の形態を説明するための図である。

【図3】

本発明の配線の基本を説明するための図



【図7】コンピュータを用いて、LSIの電源配線のレイアウト設計を行うフローである。

【図8】半導体チップの外周にI/Oセルを配置する図である。

【図9】電源線の配線に影響を与えるセルを配置する図である。

【図10】異なる電位の電源線を配置する領域を設定する図である。

【図11】異なるピッチの電源線を配置する領域を設定する図である。

【図12】各領域毎に中継電源線を配線する図である。

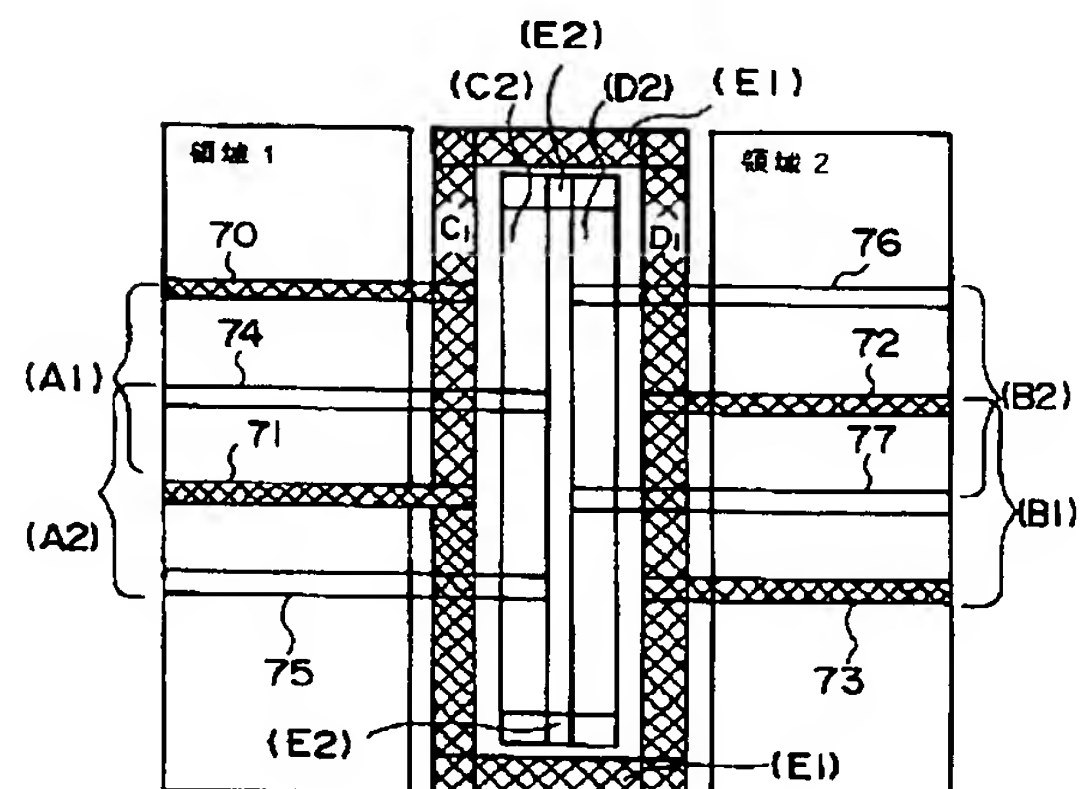
【図13】同じ電位の中継電源線を接続し、領域内の電源線を配線する図である。

【符号の説明】

- | | |
|-------------|-------------|
| 11、12、13、14 | 層変換部 |
| 20、21、22、23 | 接点部 |
| 30、31、32、33 | 接点部 |
| 41、42、43、44 | 方向変換部 |
| 55～60 | 電源線 |
| 50、51 | 中継電源線 |
| 53、54 | 接続回線 |
| 110 | レイアウトデータベース |
| 111 | 配置情報 |
| 112 | 領域情報 |
| 113 | 電源配線情報記憶手段 |
| A | 電源領域1の電源線 |
| B | 電源領域2の電源線 |
| C | 電源領域1の中継電源線 |
| D | 電源領域2の中継電源線 |
| E | 接続回線 |

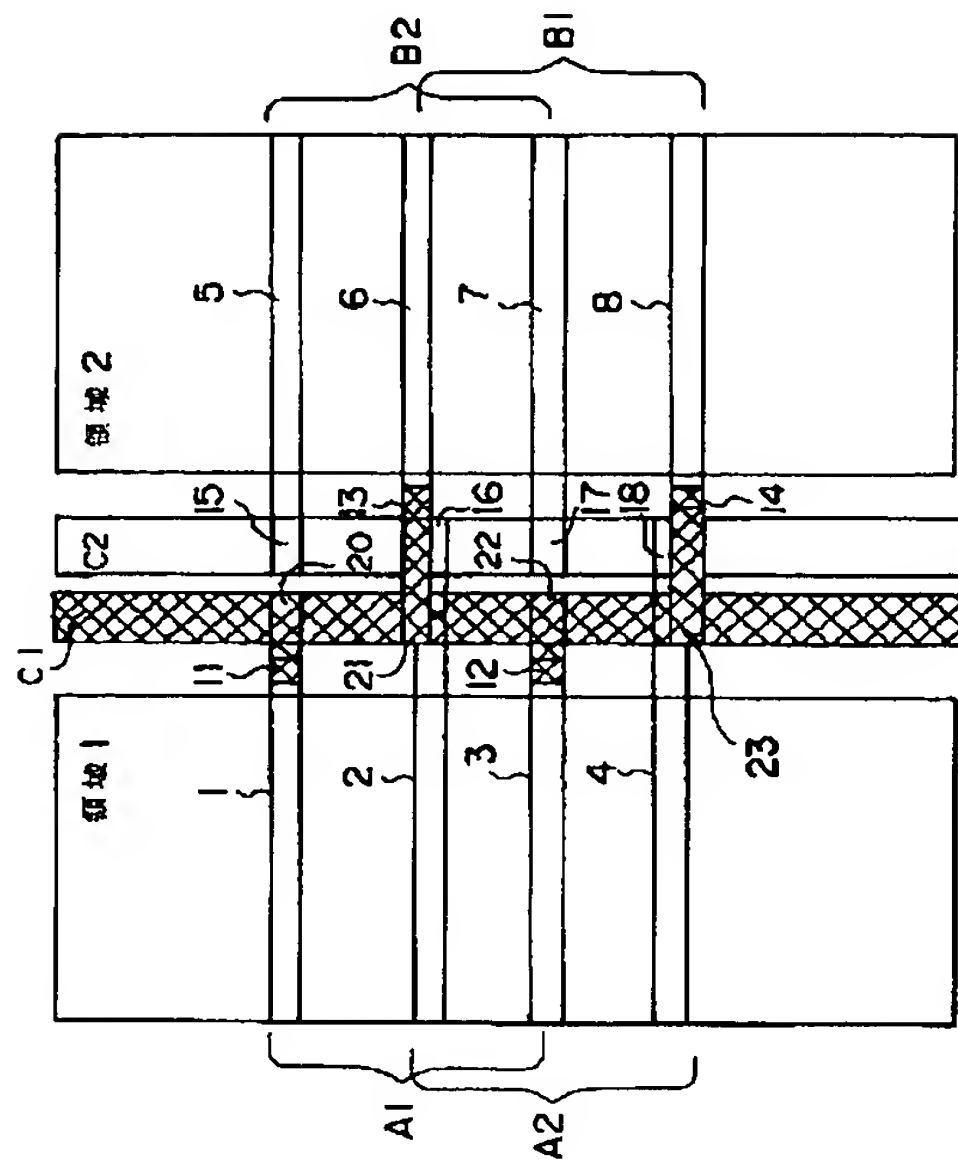
【図4】

本発明の第1の実施の形態を説明するための図



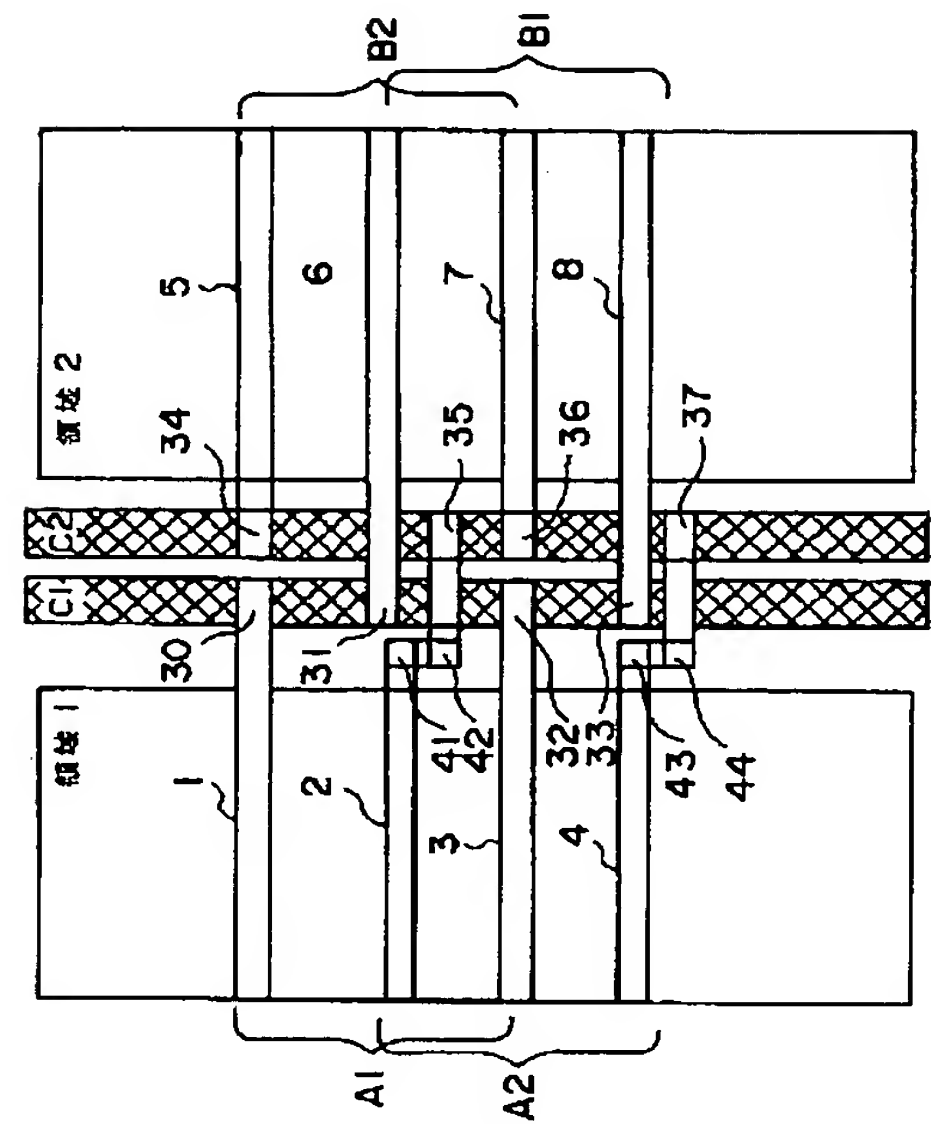
【図 1】

従来の配線層を変えることによる接続方法



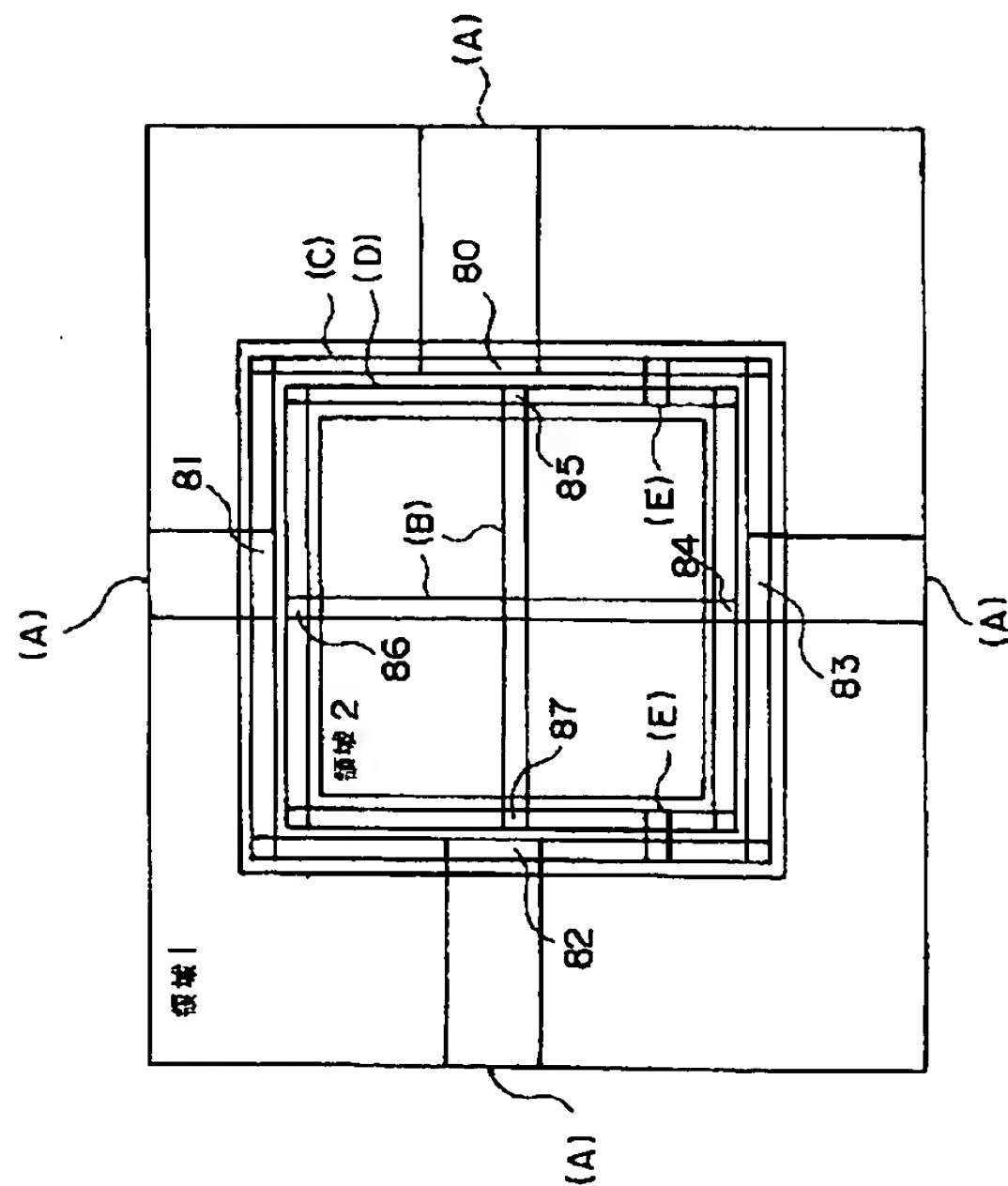
【図 2】

従来の電源線を折り曲げることにより接続する方法



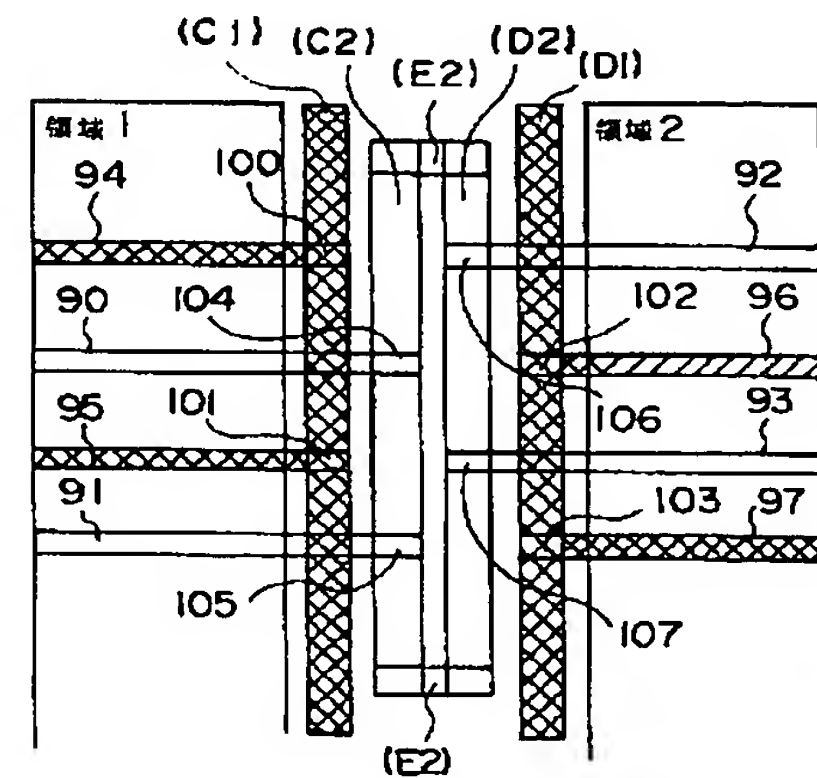
【図 5】

本発明の第 2 の実施の形態を説明するための図



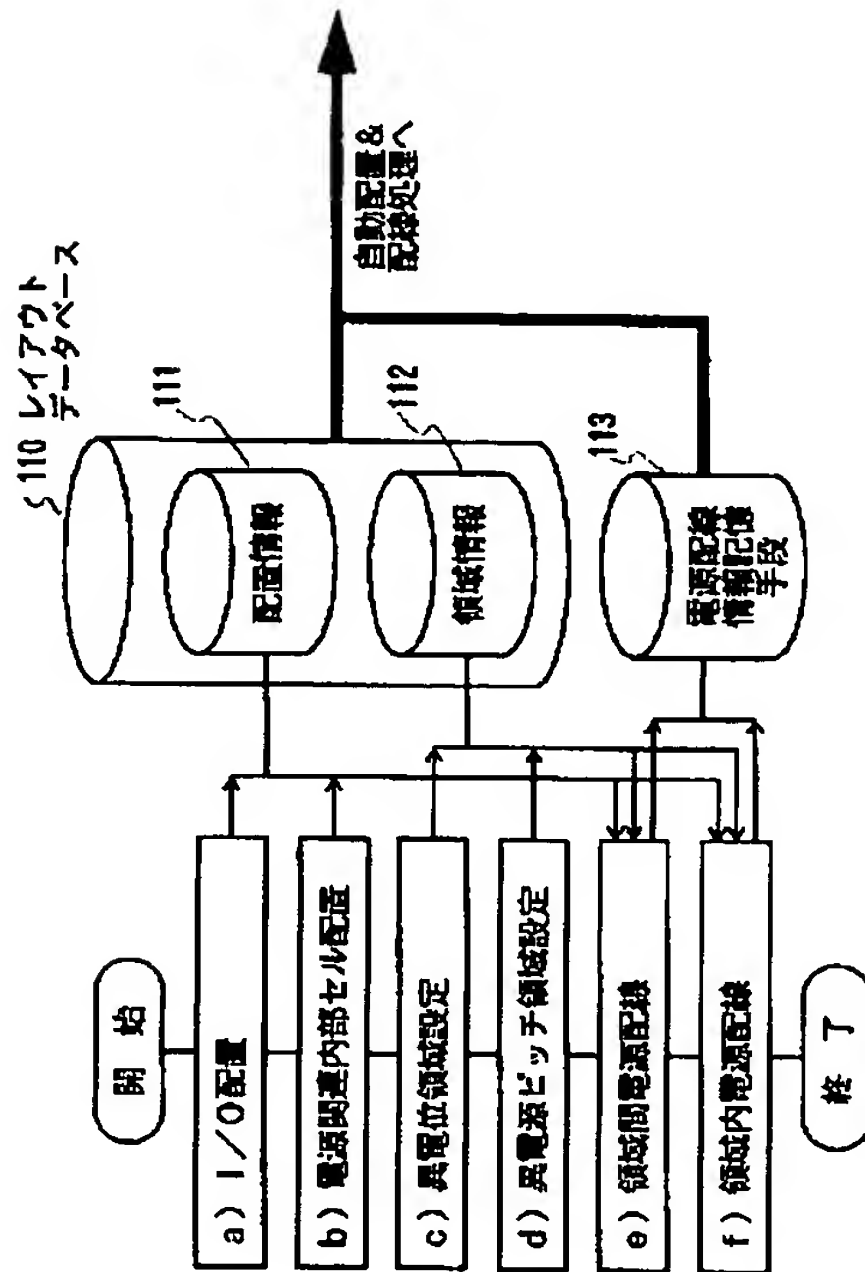
【図 6】

本発明の第 3 の実施の形態を説明するための図



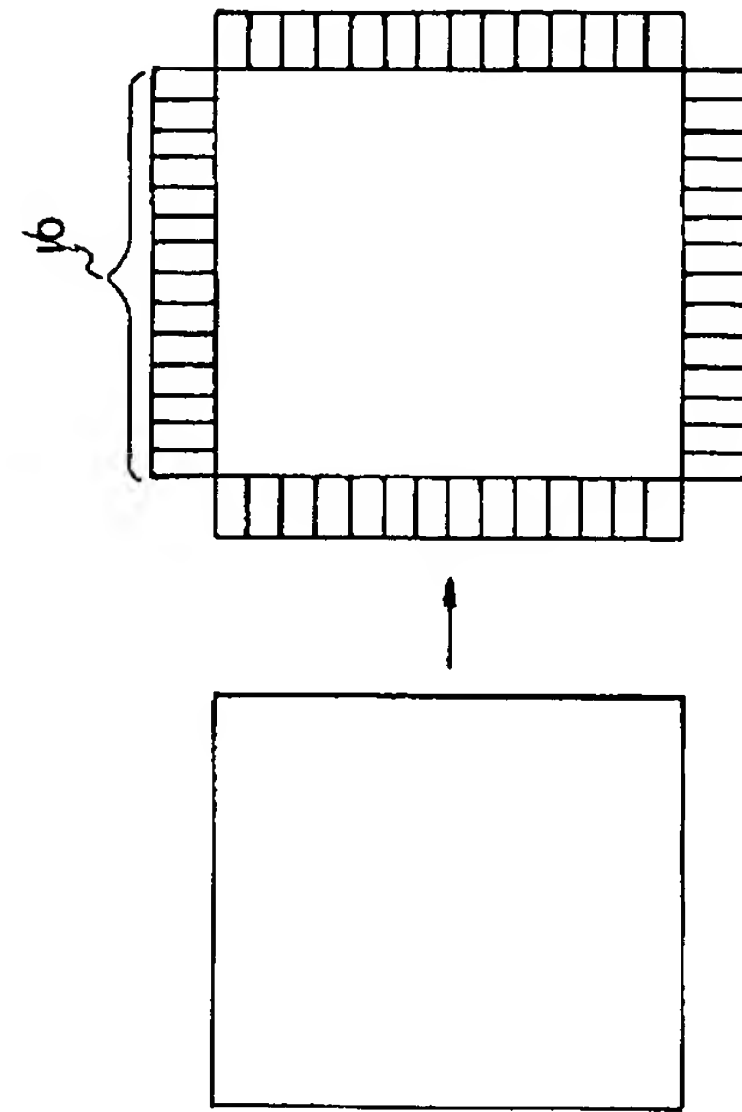
【図7】

コンピュータを用いてLSIの電源配線の
レイアウト設計を行うフロー



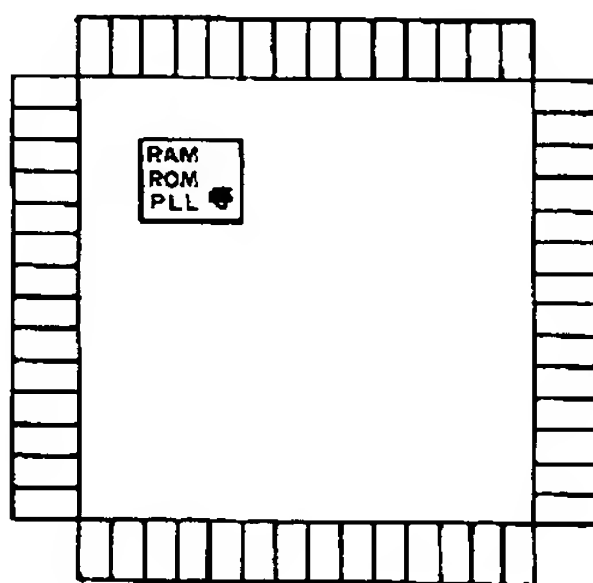
【図8】

半導体チップの外周にI/Oセルを配置する図



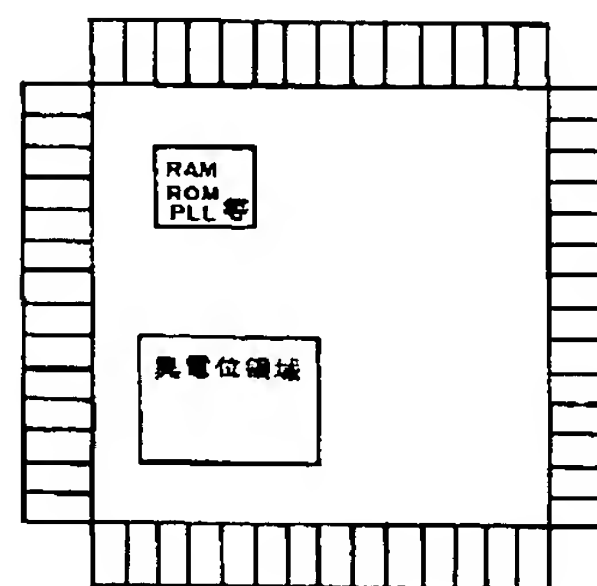
【図9】

電源線の配線に影響を与えるセルを配置する図



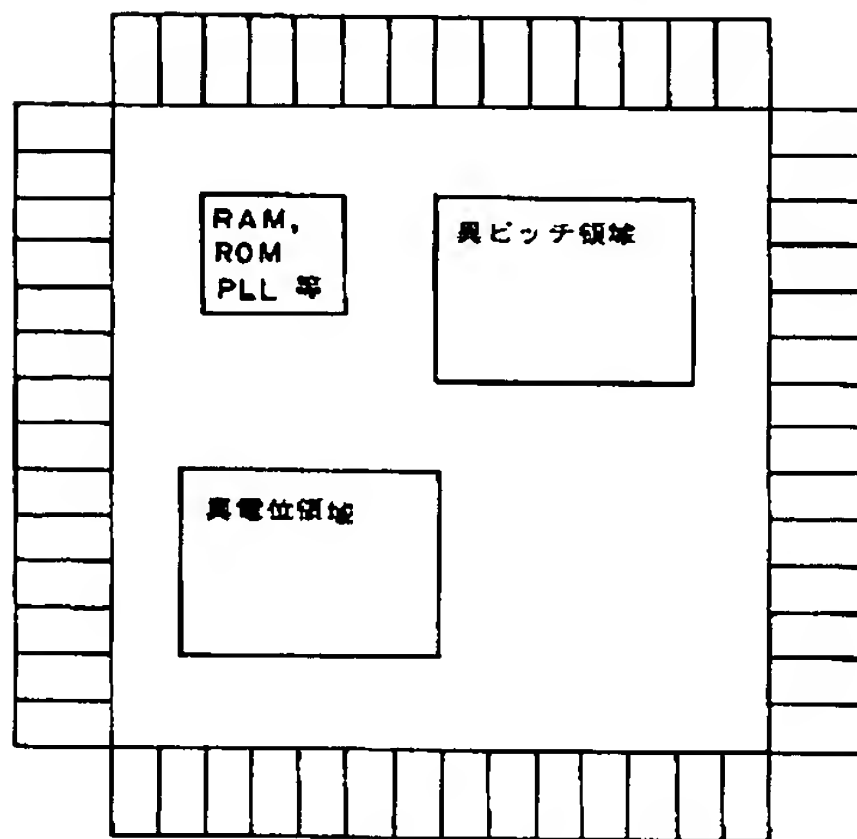
【図10】

異なる電位の電源線を配置する領域を設定する図



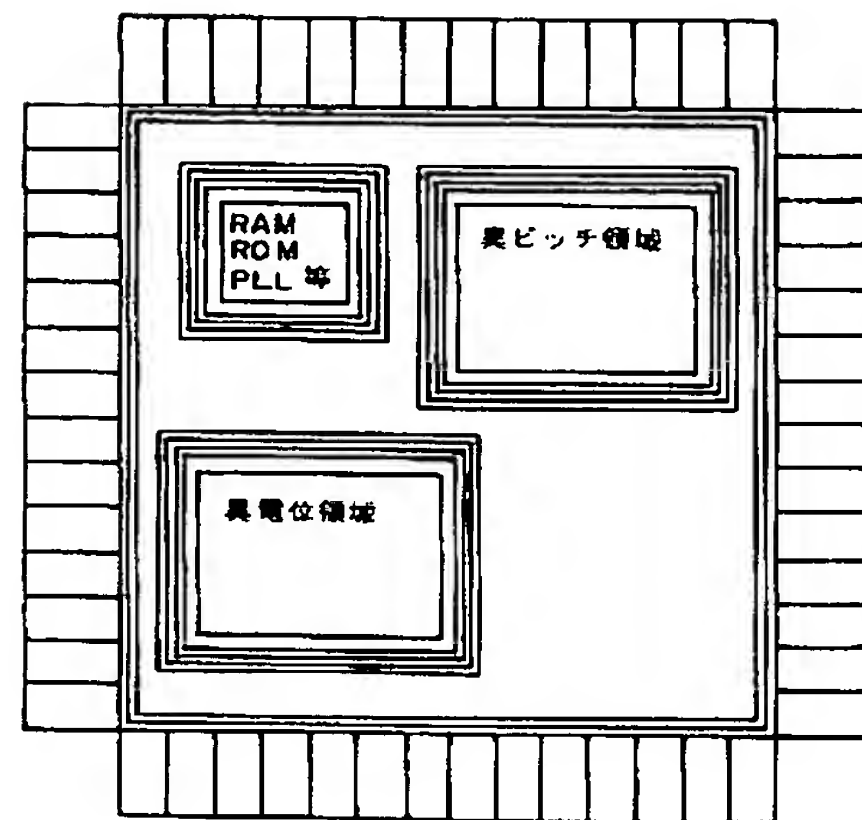
【図11】

異なるピッチの電源線を配置する領域を設定する図



【図12】

各領域毎に中継電源線を配線する図



【図13】

同じ電位の中継電源線を接続し、領域内の電源線を配線する図

